

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-231885

(43)Date of publication of application : 20.08.1992

(51)Int.Cl.

G01R 31/28

(21)Application number : 02-241723

(71)Applicant : SHARP CORP

(22)Date of filing : 11.09.1990

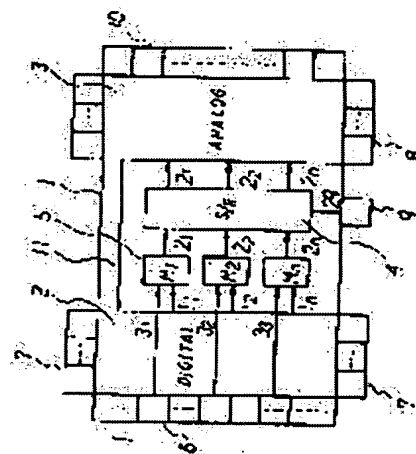
(72)Inventor : NAKADE TOSHIMITSU

(54) DIGITAL/ANALOGUE HYBRID LSI

(57)Abstract:

PURPOSE: To test a digital circuit part and an analogue circuit part respectively independently by providing a multiplexer circuit and a serial output exclusive shift register to a digital/analogue interface part.

CONSTITUTION: Multiplexers 5 (M1-M2) and a serial output exclusive shift register are provided to a digital/analogue interface part. When only the digital circuit part 2 built in an integrated circuit 1 is tested, the output signal processed by the digital circuit port 2 is outputted to the outside as an interface output signal from the shift register 4. The change-over of interface signals I1-I_n, with the test input signals from digital input terminals is executed by the multiplexers 5 and, when an analogue circuit part 3 is tested, an interface input signal is directly applied to the analogue circuit part from the digital input terminals without being processed by the digital circuit part 2 to operate the analogue circuit part 3.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-231885

⑬ Int.Cl.³
G 01 R 31/28

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)8月20日

6912-2G G 01 R 31/28
6912-2G

U
C

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 デジタル・アナログ混在のLSI

⑯ 特 願 平2-241723

⑰ 出 願 平2(1990)9月11日

⑱ 発 明 者 中 出 敏 光 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 梅 田 勝 外2名

明 細 書

1. 発明の名称

デジタル・アナログ混在のLSI

2. 特許請求の範囲

1) デジタル回路とアナログ回路が同一半導体基板に集積されたLSIにおいて、デジタル回路とアナログ回路のインターフェイス部に、デジタル回路の出力信号とアナログ回路をテストするための信号との導通を制御する手段と、該導通制御手段を介した信号が入力されたシフトレジスタを設けてなり、デジタル回路及びアナログ回路をそれぞれ単独でテスト可能にしたことを特徴とするデジタル・アナログ混在のLSI。

3. 発明の詳細な説明

産業上の利用分野

本発明は、デジタル・アナログ混在のLSIに関し、特にデジタル回路及びアナログ回路それぞれのテストを可能にしたLSIに関するものである。

従来の技術

各種電子機器に半導体デバイスが広く用いられるようになってきた。そのため半導体デバイスの機能としても、デジタル或はアナログのいずれか一方の信号方式を処理し得るだけでは満足できず、同一半導体基板内でデジタル及びアナログの両信号を処理することが望まれ、混在のLSIが提供されている。特に画像信号処理用のLSIにはデジタル・アナログ混在回路が必要とされる。

このようなLSIにおいても製造後所望の機能を実現するか否かのテストが実施されるが、従来のデジタル・アナログ混在のLSIにおいて、デジタル回路とアナログ回路を別々にテストしようとする場合、次のような方式が採られている。

① 同一半導体基板に内蔵されたデジタル回路とアナログ回路の間に設置されたインターフェイス部において、デジタル回路の出力がアナログ回路の入力になっている場合に、特別なテスト方式としてシフトレジスタを設けない場合には、上記インターフェイス部のデジタル出力信号でアナログ回路部を動作させて、アナログ出力端子の動作と

特開平4-231885(2)

してテストする。

② デジタル回路とアナログ回路のインターフェイスにシリアル出力可能なシフトレジスタを設けて、デジタル回路のテスト時には、デジタル回路からのインターフェイス出力信号をシフトレジスタによりシリアルに出力してデジタルテストし、アナログ回路のテスト時にはアナログ回路へのインターフェイス入力信号をシフトレジスタによりシリアル入力してアナログテストする。

上記いずれかの方式によってデジタル回路とアナログ回路を別々にテストしている。

発明が解決しようとする問題点

上記従来のテスト方式では、次のような問題がある。

① シフトレジスタを用いない場合、デジタル回路自身のテストでありながらアナログ部を動作させた理由のアナログ出力信号でデジタル回路部分の評価しなければならず、必ずしも適切な評価が下せないだけでなく、テストが複雑になる。

上記問題点に対して、デジタル部のインターフェ

イス出力信号を、テストのために外部へ直接出力することも考えられるが、この場合には、出力信号数に相当する端子が必要になり、端子数が多くなる。またこのように外部へ直接出力すれば、同信号をアナログ信号端子にマルチプレクスして出力できない。更にアナログ部に不良があれば、デジタル部がテストできない。

② シフトレジスタを用いる場合、実際に回路を構成するためには、シフトレジスタに加えてデータを保持するためにさらにラッチが必要のため、テスト回路が複雑で大きくなる。

またアナログ部をテストする場合、シフトレジスタにアナログ部インターフェイス信号をシリアルで外部より入力するため、テスト時間が長くなる等の問題がある。

本発明は、上記問題点を解決するためになされたもので、デジタル回路部とアナログ回路部とをそれぞれ独立にテストすることができるLSIを提供する。

問題点を解決するための手段

デジタル回路とアナログ回路を同一半導体基板に形成した集積回路において、デジタル・アナログインターフェイス部に、マルチプレクサ回路及びシリアル出力専用のシフトレジスタを設けて構成する。

作用

集積回路に内蔵されたデジタル回路部のみのテスト時には、デジタル回路部で処理された出力信号をインターフェイス出力信号としてシフトレジスタから外部へ出力する。一方マルチプレクサ回路により、インターフェイス信号とデジタル入力端子からのテスト入力信号との切換を実行し、アナログ回路部のテスト時には、デジタル回路で処理することなくデジタル入力端子より直接アナログ回路部インターフェイス入力信号を与えてアナログ回路を動作させる。

実施例

図面を用いて実施例を詳細に説明する。

本実施例のLSIは、同一半導体基板にデジタル回路2とアナログ回路3を混在させて形成され

ている。このようなLSIにおいて、LSIをデジタル回路部2とアナログ回路部3に大きく分類し、デジタル回路部2とアナログ回路部3間にインターフェイス部として、マルチプレクサ5(M₁、M₂・・・M_n)及びシリアル入力/シリアル出力を備えたシフトレジスタ4を設ける。上記インターフェイス部は、デジタル回路部2におけるテストの処理を経た信号を出力するとともに、アナログ回路部3へテストのための信号をデジタル入力6からデジタル回路での信号処理を経由することなく入力するための機能を果たす。

デジタル回路部2を単独にテストする場合には、デジタル入力6に与えられたテスト信号をデジタル回路2に入力して所定の処理を施しデジタル出力7を形成し、デジタル回路をテストする。同時にデジタル回路2の上記出力はインターフェイス信号1、～1_nを介してシフトレジスタ4の入力2、～2_nとなり、更にシフトレジスタ4により、シリアルデータ2₉となってテスト端子9へ出力される。このテスト端子9の出力によりインターフェ

特開平4-231885(3)

イス信号1₁～1_nのテストが可能になる。

またアナログ回路部3を単独テストする際には、マルチプレクサ5によりデジタル入力6より入力された入力信号3₁～3_nがアナログインターフェイス信号2～2_nとなり、デジタル入力6及びアナログ入力8によって直接アナログ回路部を動作させることが可能となり、アナログ回路3が出力10によってテストできる。

なお上記実施例は、アナログ回路部3からデジタル回路部2への入力は、信号1₁で示すように直接デジタル回路部2へ入力し、アナログ動作をデジタル部の出力7から出力される信号でテストする構成とした。

しかしアナログ回路部3からデジタル回路部2への入力に対しても、前記実施例と同様に、アナログ回路部3の入力部にマルチプレクサを設け、シフトレジスタ4によりシリアル出力またはマルチプレクサにより外部端子9に出力し、テストすることも可能である。

発明の効果

以上本発明によれば、デジタル・アナログ混在LSIにおいて、デジタル回路とアナログ回路が独立にテスト可能になり、アナログ回路の動作をデジタル入力に与えられるデジタル信号で直接制御でき、LSIのテスト効率が高まり、また不良部分の追跡が容易になる。更にアナログインターフェイス信号を外部よりシリアル入力してテストする場合よりも、シフトレジスタによりアナログインターフェイス信号を直接パラレルに入力できるため、テスト時間を短縮でき、インターフェイス信号の数が増えるほど、大幅にテスト時間の短縮が可能になる、等の優れた効果を奏する。

4. 図面の簡単な説明

図は本発明の一実施例を説明するためのLSIの要部ブロック図である。

- 1: LSI 2: デジタル回路部
3: アナログ回路部 4: シフトレジスタ
5: マルチプレクサ

代理人 弁理士 梅田 勝(他2名)

